

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

**Defective images within this document are accurate representations of
the original documents submitted by the applicant.**

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

WEST**End of Result Set**☐ **Generate Collection**

L3: Entry 1 of 1

File: JPAB

Feb 14, 1997

PUB-NO: JP409045769A

DOCUMENT-IDENTIFIER: JP 09045769 A

TITLE: SEMICONDUCTOR DEVICE, AND MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: February 14, 1997

INVENTOR-INFORMATION:

NAME

COUNTRY

NAKASAKI, YASUSHI

MIYAJIMA, HIDESHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

TOSHIBA CORP

APPL-NO: JP07193901

APPL-DATE: July 28, 1995

INT-CL (IPC): H01L 21/768

ABSTRACT:

PROBLEM TO BE SOLVED: To further reduce the dielectric constant more than a conventional silicon dioxide with fluorine added, and reduce the capacitance between wirings, and control signal delay, and improve high-speed operation, by making an interlayer insulating film contain not only the composition where one F atom is coupled with one Si atom but also the composition where two atoms are coupled with it and the composition where three atoms are coupled with it.

SOLUTION: This semiconductor device is equipped with at least a plurality of elements and an interlayer insulating film for electrically insulating a plurality of wirings being connected severally to these elements and also are arranged in parallel and are made multilayer. In such a semiconductor device, the interlayer insulating film is made of an SiO₂ film containing Si, O, and F at least, and besides the composition of the SiO₂ film has structure 2 including Si atoms coupled in common through O atoms. Furthermore, the structure contains not only the composition 3 where one F atom is coupled with one Si atom but also the composition 4 where two F atoms are coupled with one Si atom and the composition where three F atoms are coupled with one Si atom.

COPYRIGHT: (C)1997, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45769

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl.⁶

H 0 1 L 21/768

識別記号

庁内整理番号

F I

H 0 1 L 21/90

技術表示箇所

L
V

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平7-193901

(22) 出願日 平成7年(1995)7月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中 崎 靖

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

(72) 発明者 宮 島 秀 史

神奈川県川崎市幸区小向東芝町1 株式会
社東芝研究開発センター内

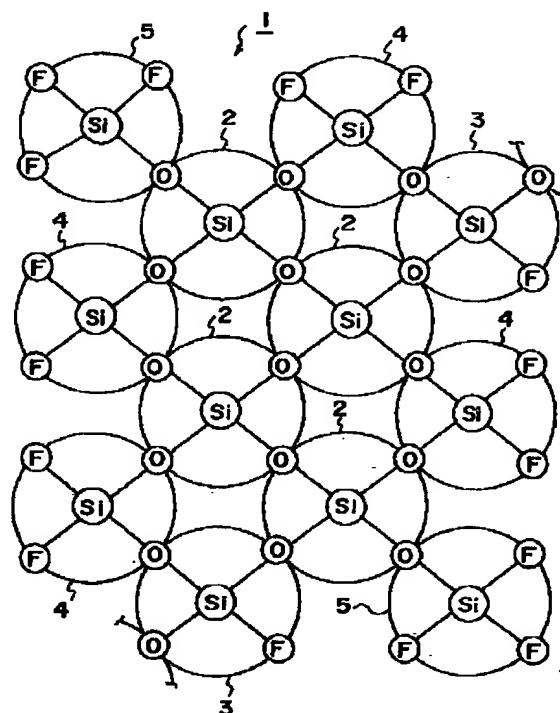
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】 フッ素 (F) を添加した二酸化シリコン (S i O₂) の層間絶縁膜においてFの結合状態を制御することにより、二酸化シリコン (S i O₂) の比誘電率を従来のフッ素 (F) 添加二酸化シリコン (S i O₂) 膜以上に低減することを目的とする。

【解決手段】 半導体装置を構成する配線間を電気的に絶縁するための絶縁膜を、少なくともシリコン (S i)、酸素 (O)、フッ素 (F) を含む二酸化シリコン (S i O₂) 膜で形成するにあたり、1つのシリコン (S i) 原子あたりフッ素 (F) を1原子のみならず2原子あるいは3原子結合した二酸化シリコンの構造を含むことを特徴とする。フッ素 (F) を含有し二酸化シリコン (S i O₂) を主成分とする絶縁膜において、比誘電率の低減に有効となるように、シリコン (S i) とフッ素 (F) の結合状態を制御できる。したがって、二酸化シリコン (S i O₂) の比誘電率の従来のフッ素 (F) 添加二酸化シリコン (S i O₂) よりも更に低減し、配線間容量を低減することにより信号遅延を抑制して、半導体装置の高速動作性能の向上が実現される。



1

【特許請求の範囲】

【請求項1】複数の素子と、これらの素子にそれぞれ接続されると共に並列配置されかつ多層化された複数の配線間を電氣的に絶縁するための層間絶縁膜と、を少なくとも備える半導体装置において、

前記層間絶縁膜は、シリコン(Si)、酸素(O)、フッ素(F)を少なくとも含む二酸化シリコン(SiO₂)膜により形成され、かつ、

この二酸化シリコン膜の組成が、酸素(O)原子を介して共有結合するシリコン原子を含む構造を有すると共に、

前記構造は、1つのシリコン(Si)原子に1つのフッ素(F)原子が結合した組成のみならず、1つのシリコン(Si)原子に2つのフッ素(F)原子が結合した組成、及び、1つのシリコン(Si)原子に3つのフッ素(F)原子が結合した組成をも含むこと、

を特徴とする半導体装置。

【請求項2】前記半導体装置は、前記層間絶縁膜に含まれるフッ素に起因する雰囲気中の湿気の吸収を抑制するために、この層間絶縁膜よりも吸湿性の小さい遮蔽絶縁膜をさらに備え、前記層間絶縁膜と前記遮蔽絶縁膜とは積層構造となっていることを特徴とする請求項1に記載された半導体装置。

【請求項3】前記吸湿性の小さい遮蔽絶縁膜は、フッ素(F)を含まない二酸化シリコン(SiO₂)膜であることを特徴とする請求項2に記載された半導体装置。

【請求項4】複数の素子と共に半導体装置を構成する並列かつ重層する複数の配線間を電氣的に絶縁するための層間絶縁膜を少なくとも備え、前記層間絶縁膜はシリコン(Si)、酸素(O)及びフッ素(F)を少なくとも含む二酸化シリコン(SiO₂)膜により形成され、かつ、この二酸化シリコン膜の組成が、酸素(O)原子を介して共有結合するシリコン原子を含む構造を有すると共に、前記構造は、1つのシリコン(Si)原子に1つのフッ素(F)原子が結合した組成のみならず、1つのシリコン(Si)原子に2つのフッ素(F)原子が結合した組成、及び、1つのシリコン(Si)原子に3つのフッ素(F)原子が結合した組成を含む半導体装置を製造する方法であって、

素子が形成された半導体基板を一定の密封状態を維持可能な収容容器内に設置して所定温度にまで加熱する第1のステップと、

加熱された前記半導体基板が設置された前記収容容器内に、少なくともシリコン(Si)、酸素(O)、フッ素(F)を含む原料ガスを所定の流量で導入し、かつ、該収容容器内を所定の圧力に保持する第2のステップと、前記半導体基板に対向させた電極に所定電圧を印加させてプラズマ放電を行ない所定当量のフッ素(F)が含まれた二酸化シリコン(SiO₂)膜を堆積させる第3のステップと、

2

前記二酸化シリコン膜上に金属配線膜を成膜し、パターンニングにより所定幅、所定長及び所定厚の第1層目の所定列の金属配線を形成する第4のステップと、

上記第1ないし第4のステップを繰り返すことにより第2ないし第n層の金属配線を形成する第5ないし第mのステップと、

を備えることを特徴とする半導体装置の製造方法。

【請求項5】多層に形成されたフッ素(F)が含まれる前記層間絶縁膜の各層を形成するステップの後に、少なくとも酸素(O)が含まれフッ素(F)が含まれていない原料ガスを所定流量により導入してフッ素(F)が含まれていない二酸化シリコン(SiO₂)膜を形成するステップが各層毎に設けられていることを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項6】前記原料ガスは、

フッ素(F)を構成元素として含む化合物ガス、有機シランガス及び酸化剤ガス；フッ素(F)を構成元素として含む化合物ガス、無機シランガス及び酸化剤ガス；フッ素(F)を構成元素として含む有機シランガス及び酸化剤ガス；並びにフッ素(F)及び酸素(O)を構成元素として含む有機シランガス；のうちの何れか1つであることを特徴とする請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、配線を隔離するための絶縁膜に関し、特にフッ素を含有する絶縁膜を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体装置においては、素子の配線間を電氣的に絶縁するための絶縁膜が用いられている。従来、この絶縁膜としては、熱酸化二酸化シリコン(SiO₂)膜、またはシランやテトラエトキシシラン(TEOS)などのガスを原料として減圧または常圧での化学的気相成長法(CVD-Chemical Vapour Deposition)により形成された二酸化シリコン(SiO₂)膜が主に使用されている。特に、金属配線の中でもアルミニウム(Al)配線間の絶縁は、400°C程度の低温で形成できることから、TEOSと酸素(O₂)あるいはオゾン(O₃)を用いたプラズマCVD法による二酸化シリコン(SiO₂)膜が用いられている。

【0003】近年、半導体素子の高集積化、高速化に伴ない信号伝達の遅延が問題となっている。これは、素子の微細化に伴い配線間隔が狭くなり配線間容量(C)が増大すること、および配線断面積の縮小による配線抵抗(R)の増大の相乗により信号伝達の時定数が増大する(RC遅延)ことによる。RC遅延は半導体装置の高速動作を妨げ、特にロジックデバイスや高速SRAM(Static Random Access Memory)の性能向上を妨げる主要な原因となる。その対策としては、アルミニウム(A

1)より比抵抗の低い銅(Cu)や銀(Ag)を配線材料として用いて配線抵抗を低減することと、配線間に存在する絶縁膜の比誘電率を低下させ配線間容量を低減すること、の2点が重要である。

【0004】従来のプラズマCVD法により形成される二酸化シリコン(SiO_2)膜の比誘電率は4.0～5.0と熱酸化二酸化シリコン(SiO_2)膜の3.9に対しても大きな値を示すことが分かっている。そこで、比誘電率の低減化について、二酸化シリコン(SiO_2)膜中にフッ素(F)を導入することが検討されており、比誘電率が低減されることが報告されている。

【0005】このフッ素(F)の導入法については、フッ素(F)イオン注入法、フッ化シリコン $[\text{SiF}(\text{OC}_2\text{H}_5)_3]$ と水(H_2O)とを用いたCVD法、フッ化水素シリコン(H_2SiF_6)の過飽和水溶液に硝酸水溶液を添加し液相で二酸化シリコン(SiO_2)を析出させる方法、TEOSと酸素(O_2)およびフッ素(F)を含有するガス(CF_4 , NF_3 等)を用いたプラズマCVD法が公知である。二酸化シリコン(SiO_2)膜中のフッ素(F)の状態については、赤外吸収スペクトル測定によりSi-F結合の形成が確認されているほか、F₂分子あるいはFO_x分子($x=2, 3$)として取り込まれているものも存在するといわれている。また、フッ素(F)導入に伴って二酸化シリコン(SiO_2)膜の密度が減少することも見出だされている。二酸化シリコン(SiO_2)の比誘電率の低減に対するフッ素(F)の効果は、一般的には、フッ素(F)原子あるいはフッ素(F)イオンの分極率が酸素のそれより小さいため、フッ素(F)が酸素を置換した分だけ全体として分極率が減少するためであると考えられている。より詳細には、フッ素(F)の2p電子エネルギー準位が酸素(O)の2p電子のそれより深いため、二酸化シリコン(SiO_2)の価電子帯の上部を構成する酸素(O)2p孤立電子対準位の状態密度が減少し、その代わりに、より深いフッ素(F)2p孤立電子対準位が形成されるためであることが理論的に分かっている。

【0006】

【発明が解決しようとしている課題】以上のように、二酸化シリコン(SiO_2)の比誘電率の低減に対するフッ素(F)の有効性は確認されている。しかしながら、絶縁膜中のフッ素(F)濃度とフッ素(F)の状態、膜密度及び比誘電率との関係は明らかにされていない。このため、二酸化シリコン(SiO_2)膜中のフッ素(F)濃度の制御は検討されているが、(F)の結合状態までも制御することは検討されていなかった。

【0007】本発明は、二酸化シリコン(SiO_2)膜中のフッ素(F)の結合状態を制御することにより、二酸化シリコン(SiO_2)の比誘電率をさらに低減する方法を提供することを目的とする。

【0008】

【課題を解決するための手段】このために本発明においては、半導体装置を構成する配線間を電氣的に絶縁するための絶縁膜を、少なくともシリコン(Si)、酸素(O)、フッ素(F)を含む二酸化シリコン(SiO_2)膜で形成するにあたり、シリコン(Si)1原子にあたりフッ素(F)が1原子のみならず2原子あるいは3原子結合したシリコン(Si)原子を含むことを特徴とするものである。

【0009】本発明においては、原料ガスとして、有機シランガス、酸化剤ガスおよびFを構成元素の一つとする化合物ガス；無機シランガス、酸化剤ガスおよびFを構成元素の一つとする化合物ガス；酸化剤ガスおよびFを構成元素の一つとする有機シランガス；酸化剤ガスおよびFを構成元素の1つとする無機シランガス；またはFおよびOを構成元素として含む有機シランガスを含有するものが用いられる。

【0010】フッ素(F)を構成元素の1つとする化合物ガスの例としては、三フッ化窒素(NF_3)、四フッ化メタン(テトラフロロメタン- CF_4)、六フッ化エタン(ヘキサフロロエタン- C_2F_6)、三フッ化塩素(ClF_3)、四フッ化シラン(テトラフロロシラン- SiF_4)などが挙げられる。フッ素(F)を構成元素の1つとする有機シランガスの例としては、 $\text{SiF}(\text{OC}_2\text{H}_5)_3$ 、 $\text{SiF}_2(\text{OC}_2\text{H}_5)_2$ 、 $\text{SiF}_3(\text{OC}_2\text{H}_5)$ などが挙げられる。これらのガスは、フッ素(F)及び酸素(O)を構成元素として含む有機シランガスとして、酸化剤ガスなしで用いることもできる。フッ素(F)を構成元素の1つとする無機シランガスの例としては、 SiH_3F 、 SiH_2F_2 、 SiHF_3 等が挙げられる。また、有機シランガスとしてはTEOS、 $\text{HSi}(\text{OC}_2\text{H}_5)_3$ 、 $\text{H}_2\text{Si}(\text{OC}_2\text{H}_5)_2$ などが挙げられる。無機シランガスとしては、 SiH_4 、 Si_2H_6 などが挙げられる。酸化剤ガスとしては、 O_2 、 N_2O などが挙げられる。

【0011】更に、詳しい構成としての本発明に係る半導体装置は、複数の素子と、これら素子に接続されると共に並列に配列されかつ多層化された複数の配線間を電氣的に絶縁するための層間絶縁膜を少なくとも備えるものにおいて、前記層間絶縁膜は、シリコン(Si)、酸素(O)、フッ素(F)を少なくとも含む二酸化シリコン(SiO_2)膜により形成され、かつ、この二酸化シリコン膜の組成が、酸素(O)原子を介して共有結合するシリコン原子を含む構造を有すると共に、前記構造は、1つのシリコン(Si)原子に1つのフッ素(F)原子が結合した組成のみならず、1つのシリコン(Si)原子に2つのフッ素(F)原子が結合した組成、及び、1つのシリコン(Si)原子に3つのフッ素(F)原子が結合した組成を含むこと、を特徴としている。

【0012】また、前記半導体装置は、上記の構成において、前記層間絶縁膜に含まれるフッ素に起因する雰囲気

気中の湿気の吸収を抑制するために、この層間絶縁膜よりも吸湿性の小さい遮蔽絶縁膜をさらに備え、前記層間絶縁膜と前記遮蔽絶縁膜とは積層構造となっていることを特徴としている。

【0013】さらに、上記の構成において、前記吸湿性の小さい遮蔽絶縁膜は、フッ素(F)を含まない二酸化シリコン(SiO_2)膜であることを特徴としている。

【0014】また、本発明に係る半導体装置の製造方法は、複数の素子と、これらの素子に接続されると共に並列に配列されかつ多層化された複数の配線間を電気的に

絶縁するための層間絶縁膜とを少なくとも備え、該層間絶縁膜はシリコン(Si)、酸素(O)及びフッ素(F)を少なくとも含む二酸化シリコン(SiO_2)膜により形成され、かつ、この二酸化シリコン膜の組成が、酸素(O)原子を介して共有結合するシリコン原子を含む構造を有すると共に、前記構造は、1つのシリコン(Si)原子に1つのフッ素(F)原子が結合した組成のみならず、1つのシリコン(Si)原子に2つのフッ素(F)原子が結合した組成、及び、1つのシリコン(Si)原子に3つのフッ素(F)原子が結合した組成を含む半導体装置を製造する方法であって、素子が形成された半導体基板を一定の密封状態を維持可能な収容容器内に設置して所定温度にまで加熱する第1のステップと、加熱された前記半導体基板が設置された前記収容容器内に、少なくともシリコン(Si)、酸素(O)、フッ素(F)を含む原料ガスを所定の流量で導入し、かつ、該収容容器内を所定の圧力に保持する第2のステップと、前記半導体基板に対向させた電極に所定電圧を印加させてプラズマ放電を行ない所定当量のフッ素(F)が含まれた二酸化シリコン(SiO_2)膜を堆積させる第3のステップと、前記二酸化シリコン膜上に金属配線膜を成膜し、パターニングにより所定幅、所定長及び所定厚の第1層目の所定列の金属配線を形成する第4のステップと、上記第1ないし第4のステップを繰り返すことにより第2ないし第n層の金属配線を形成する第5ないし第mのステップと、を備えている。

【0015】さらに、上記構成の製造方法において、多層に形成されたフッ素(F)が含まれる前記層間絶縁膜の各層を形成するステップの後に、少なくとも酸素(O_2)が含まれフッ素(F)が含まれていない原料ガスを所定流量により導入してフッ素(F)が含まれていない二酸化シリコン(SiO_2)膜を形成するステップが各層毎に設けられていることを特徴としている。

【0016】さらにまた、前記原料ガスは、フッ素(F)を構成元素として含む化合物ガス、有機シランガス及び酸化剤ガス；フッ素(F)を構成元素として含む化合物ガス、無機シランガス及び酸化剤ガス；フッ素(F)を構成元素として含む有機シランガス及び酸化剤ガス；並びにフッ素(F)及び酸素(O)を構成元素として含む有機シランガス；のうちの何れか1つであるこ

とを特徴としている。

【0017】

【発明の実施の形態】以下、本発明に係る半導体装置及び半導体装置の製造方法の実施の形態について説明する。

【0018】図1は、この発明の基本概念を説明するための模式図であり、二酸化シリコン(SiO_2)の層間絶縁膜のアモルファス構造1を示している。このアモルファスは分子でも結晶でもない非晶質である。本発明も含めて半導体装置の製造方法により作成される二酸化シリコン膜は、シリコン(Si)を中心として4本の結合手が三角錐の頂点の酸素原子等の方向へ延びた四面体構造であり、この各頂点が連結された構造がアモルファス構造である。図1は、シリコン(Si)を中心とした円が前記四面体構造を平面的に模式しており、以下、この構造を“分子”と呼ぶ。

【0019】図において、各分子は酸素原子を介して共有結合しており、1つのシリコン(Si)原子の4本の結合手の全てが酸素(O)原子と結合している分子2と、4本の結合手の3本が酸素原子と結合し1本がフッ素原子と結合している分子3と、4本の結合手の2本が酸素原子と結合し2本がフッ素原子と結合している分子4と、4本の結合手の1本が酸素原子と結合し3本がフッ素原子と結合している分子5と、を含んでいる。

【0020】次に、この発明に係る半導体装置の第1の実施の形態について図2ないし図4を用いて説明する。図2に、シリコン(Si)1原子あたりに結合したフッ素(F)の原子数の変化に伴う電子エネルギー準位の変化をクラスターモデルを用いた非経験的分子軌道法によって計算し、状態密度を求めた結果を示す。まず、二酸化シリコン(SiO_2)を表わすモデルクラスターでの結果より、二酸化シリコン(SiO_2)の価電子帯上部は 0.2 eV 孤立電子対準位で構成されていることが確認される。次に、 SiO_2 モデルクラスターの酸素原子(O)のうち1個あるいは2個をフッ素原子(F)に置換したモデルクラスターでの結果により、価電子帯上部の変化として、 0.2 eV 孤立電子対準位の状態密度が減少し、その代わりに、より低い 0.75 eV 孤立電子対準位が形成されること、および、価電子帯最上部近傍の 0.2 eV 孤立電子対準位はブルーシフトすることが分かる。さらに、このブルーシフトはフッ素(F)を1個置換したモデルクラスターよりフッ素(F)を2個置換したモデルクラスターの方が大きいことが分かる。最高被占準位のシフトで示すと、フッ素原子(F)を1個だけ置換すると約 0.43 eV の電位のシフトがあり、2個のフッ素原子(F)を置換すると約 0.75 eV のシフトとなった。

【0021】図3は、図2の状態密度の結果を用いて計算されたフッ素(F)添加二酸化シリコン(SiO_2)膜の電子分極率 α のフッ素(F)濃度依存性の計算結果

7

を示している。ここで、フッ素(F)添加二酸化シリコン(SiO_2)膜の平均分子量Mもフッ素(F)濃度に依存しているため、電子分極率を平均分子量で除した α/M のフッ素(F)濃度依存性を示した。フッ素(F)添加は α/M を減少させ、フッ素(F)濃度の増加にはほぼ比例して α/M は減少することが分かる。さらに、1つのシリコン原子(Si)に対して1つのフッ素原子(F)が結合した分子構造のみを層間絶縁膜が含む場合に比較して、1つのシリコン原子(Si)に対して2つのフッ素原子(F)が結合している分子構造を層間絶縁膜が含んでいる場合の方が、同じフッ素(F)濃度に対する α/M の減少率が大きいことが分かる。

【0022】図4は、図3の結果を用いてフッ素(F)添加二酸化シリコン(SiO_2)膜の屈折率nの2乗のフッ素(F)濃度依存性を計算した結果を示している。二酸化シリコン(SiO_2)膜の誘電率はイオン分極の寄与と電子分極の寄与の和で決まる。誘電率へのイオン分極の寄与は赤外吸収領域より低周波数側で効いてくる。赤外吸収領域より高周波数側ではほぼ電子分極の寄与のみと考えて良く、誘電率と屈折率nにはと $\epsilon = n^2$ の関係がある。フッ素(F)添加は n^2 を減少させ、フッ素(F)濃度の増加にはほぼ比例して n^2 は減少することが分かる。さらに、シリコン原子(Si)1個あたりフッ素原子(F)が1原子結合した状態の分子構造のみを含む場合に比較して、フッ素原子(F)が2原子結合した状態の分子構造のみを含む場合の方が、同じフッ素(F)濃度に対する n^2 すなわち誘電率 ϵ の減少率が大きいことが分かる。

【0023】以上の結果より、二酸化シリコン(SiO_2)ネットワーク中にフッ素(F)が取り込まれる際に、1つのシリコン原子(Si)に対してフッ素原子(F)が2原子以上結合して分子を形成した方が、シリコン(Si)1原子あたりフッ素(F)が1原子結合した状態の二酸化シリコンのみを含む場合に比較して、比誘電率の低減効果がより大きくなることが示された。

【0024】次に、この発明の第2の実施の形態に係る半導体装置の製造方法の基本概念を図5に示されるフローチャートを参照しながら説明する。図5において、この実施の形態に係る半導体装置の製造方法は上述した構成を備える半導体装置を製造するものであり、以下のステップを備えている。

【0025】図5に示すように、第1のステップST1において、素子が形成された半導体基板を一定の密封状態を維持可能な収容容器内に設置して所定温度にまで加熱する。その後、第2のステップST2において、加熱された前記半導体基板が設置された前記収容容器内に、少なくともシリコン(Si)、酸素(O)、フッ素(F)を含む原料ガスを所定の流量で導入し、かつ、該収容容器内を所定の圧力に保持する。第3のステップST3においては、前記半導体基板に対向させた電極に所

8

定電圧を印加させてプラズマ放電を行ない所定当量のフッ素(F)が含まれた二酸化シリコン(SiO_2)膜を堆積させる。第4のステップST4においては、前記二酸化シリコン膜上に、金属配線膜を成膜し、パターンニングにより所定幅、所定長及び所定厚の第1層目の所定列の金属配線を形成する。

【0026】第1ないし第4のステップST1ないしST4により、分子構造において1つのシリコン原子に2つないし3つのフッ素原子が結合した組成を有する二酸化シリコン膜が形成されるが、吸湿性の強いフッ素添加膜の性質を抑制するため、その後のステップとして所望により第5のステップST5のような吸湿遮断膜をフッ素を含む二酸化シリコン膜の表面側に形成するようにしても良い。すなわち、第5のステップST5は、多層に形成されたフッ素(F)が含まれる前記層間絶縁膜の各層を形成する第4のステップST4の後に少なくとも酸素(O_2)が含まれフッ素(F)が含まれていない原料ガスを所定流量により導入してフッ素(F)が含まれていない二酸化シリコン(SiO_2)膜を形成するものである。

【0027】上記第1のステップST1ないし第4のステップST4または第5のステップST5を終了すると、第1層目の層間絶縁膜が形成されるが、上述のように、金属配線は多層にわたって形成されているので、第2ないし第n層の金属配線を形成するためには、次の第6のステップST6において、所定層の金属配線及び二酸化シリコンの層間絶縁膜が形成されたか否かが判断される。この第6のステップST6で所定の各層の金属配線及び層間絶縁膜が形成されたものと判断された場合には半導体装置の製造方法の全ての工程を終了するが、もしも全ての層の形成が完了していないものと判断された場合は、再び第1のステップST1に戻って上記各ステップを繰り返すことになる。

【0028】図6は $\text{SiF}_2(\text{OC}_2\text{H}_5)$ と O_2 を原料ガスとした、多層配線間の絶縁膜の形成方法を示す第3の実施の形態の説明図である。この第3の実施の形態に係る半導体装置の製造方法は、素子を形成した半導体基板41を電極42上にセットし、抵抗加熱ヒーターにより 440°C まで加熱する。原料ガスとしてTEOSを $50\text{cm}^3/\text{min}$ 、 O_2 を $500\text{cm}^3/\text{min}$ 、 $\text{SiF}_2(\text{OC}_2\text{H}_5)_2$ を $0\sim 500\text{cm}^3/\text{min}$ の流量で成膜チャンバー43内に同時に導入し、チャンバー内圧力を 133Pa に保たれるようにしておく。半導体基板41に対向させた電極44に 13.56MHz のRF電力を印加して放電を開始する。こうして図5(a)に示すように、半導体基板41上に 500nm のフッ素(F)が添加された二酸化シリコン(SiO_2)膜45を堆積する。

【0029】次に、図6(b)に示すように、DCマグネトロンスパッタリングによりアルミニウム(Al)膜

を成膜し、パターニングして配線幅が500nmで、配線厚が400nmの第1層目のアルミニウム(A1)配線46を形成する。その後、図6(c)に示すように、前記と同じ成膜方法で800nmのF添加された二酸化シリコン(SiO_2)膜47を成膜する。さらに、前記と同様に400nmのアルミニウム(A1)膜を成膜し、パターニングして第2層目のアルミニウム(A1)配線48を形成した後、前記と同じ成膜方法で800nmのフッ素(F)が添加された二酸化シリコン(SiO_2)膜49を成膜する。

【0030】図7に $\text{SiF}_2(\text{OC}_2\text{H}_5)_2$ の流量を $150\text{cm}^3/\text{min}$ に設定して成膜したフッ素(F)添加二酸化シリコン(SiO_2)膜の赤外吸収スペクトルを示す。この赤外吸収スペクトルには、約 1080cm^{-1} 、約 800cm^{-1} 、約 450cm^{-1} に SiO_2 固有の基準振動モードに帰属される吸収ピークのほか、約 985cm^{-1} 、約 950cm^{-1} に SiF_3 結合と SiF_2 結合に帰属される吸収ピークおよび約 935cm^{-1} に SiF 結合に帰属される吸収ピークが観測された。この結果から、 Si 1原子あたりFが2原子以上結合した Si 原子を効率良く含有したF添加 SiO_2 膜が形成されていることが分かる。また、このF添加 SiO_2 膜中のF原子濃度は約10at%で、屈折率は1.41、比誘電率は3.3であった。ちなみに、従来法によるF添加 SiO_2 膜では、F原子濃度約10at%では屈折率は1.43比誘電率は3.4であった。

【0031】上記第3の実施の形態に係る半導体装置の製造方法により製造された半導体装置は、従来の半導体装置に比べて層間絶縁膜にフッ素(F)を多く含んでいる分だけ水分を吸収する率が高いため、図8に示すように、フッ素を全く含まない二酸化シリコンの遮蔽膜を形成する第4の実施の形態に係る半導体装置の製造方法が考えられる。

【0032】まず、図9及び図10を用いて二酸化シリコンの絶縁膜がフッ素を含む場合と含まない場合の比誘電率とフッ素(F)濃度との関係及びフッ素(F)濃度と吸湿性との関係につき簡単に説明する。図9より明らかのように、1つのシリコン原子に対して1つのフッ素原子が結合している場合に比べて、2つのフッ素原子が結合している場合の方が電子分極とイオン分極の寄与を合せた比誘電率の低下が見られる。また、図10に示すように、多量にフッ素を含む膜では急激に耐吸湿性が劣化していることがわかる。したがって、この吸湿を防止するため遮蔽膜を形成する等のプロセス及びその構成が必要となる。

【0033】図8は、フッ素(F)添加された SiO_2 膜とF添加されていない SiO_2 膜とを積層し、絶縁膜層の吸湿を抑制するようにした、この発明の第4の実施の形態に係る多層配線間の絶縁膜の形成方法を示す説明図である。本発明を実施した半導体装置の製造方法は、

図8(a)に示すように、素子を形成した半導体基板61上にボロンリンガラス膜(BPSG)62を800nm堆積し、次いで、400nmのA1膜をスパッタリング法で成膜した後パターニングを施して第1層目のA1配線63を形成する。

【0034】次に、図8(b)に示すように、原料ガスとしてTEOSおよび O_2 を用い、F添加されていない SiO_2 膜64を100nm成膜する。その上に、実施例1と同様に原料ガスとしてTEOS、 O_2 および $\text{SiF}_2(\text{OC}_2\text{H}_5)_2$ を用い、F添加された SiO_2 膜65を500nm堆積する。次いで、原料ガスとしてTEOSおよび O_2 を用い、F添加されていない SiO_2 膜66を100nm成膜する。

【0035】次に、図8(c)に示すように、レジストを塗布して露光・現像した後、ドライエッチングによりアルミニウム(A1)配線63上の絶縁膜にビアホール67を形成する。図8(d)に示すように、ビアホール67に、 WF_6 と SiH_4 を原料ガスとした、選択CVD法あるいは非選択CVD法とケミカルメカニカルポリッシングあるいはレジストエッチバックを組み合わせさせてタングステン68を埋め込む。次いで、400nmのA1膜をスパッタリング法で成膜した後パターニングを施して2層目のA1配線69を形成する。次いで、F添加されていない SiO_2 膜610を100nm、F添加された SiO_2 膜611を500nm、F添加されていない SiO_2 膜612を100nm順次成膜する。

【0036】フッ素(F)が添加されていない二酸化シリコン(SiO_2)膜は、フッ素(F)が添加された二酸化シリコン(SiO_2)膜に比べて吸湿性が小さい。このため図8(d)の半導体装置では絶縁膜層の吸湿を制御でき、誘電率の増加や配線の腐食に代表される信頼性の低下を抑制できる。

【0037】なお、上記の本発明による実施の形態においては、原料ガスとしてTEOS、 O_2 および $\text{SiF}_2(\text{OC}_2\text{H}_5)_2$ を用いたが、これに限定されるものではない。Fを構成元素の一つとする化合物ガスとしては、 NF_3 、 CF_4 、 C_2F_6 、 ClF_3 、 SiF_4 など、Fを構成元素の一つとする有機シランガスとしては、 $\text{SiF}(\text{OC}_2\text{H}_5)_3$ 、 $\text{SiF}_2(\text{OC}_2\text{H}_5)_2$ 、 $\text{SiF}_3(\text{OC}_2\text{H}_5)$ などを用いてもよい。これらのガスは、FおよびOを構成元素として含む有機シランガスとして、酸化剤ガスなしで用いることもできる。Fを構成元素の一つとする無機シランガスとしては、 SiH_3F 、 SiH_2F_2 、 SiHF_3 などを用いてもよい。有機シランガスとしてはTEOS、 $\text{HSi}(\text{OC}_2\text{H}_5)_3$ 、 $\text{H}_2\text{Si}(\text{OC}_2\text{H}_5)_2$ などを用いてもよい。無機シランガスとしては、 SiH_4 、 Si_2H_6 などを用いてもよい。酸化剤ガスとしては、 O_2 、 N_2O などを用いてもよい。

【0038】また、上記の本発明による実施の形態にお

11

いては、配線材料として純度の高いアルミニウム（Al）を用いたが、これに限定されるものではない。例えば、アルミニウム（Al）を主成分とするその他の合金でも良いし、銅（Cu）、銀（Ag）、金（Au）、ニッケル（Ni）、パラジウム（Pd）あるいは白金（Pt）のうちいずれか、あるいはこれらのうち1つまたは複数の元素を主配線材料とする合金でも良い。

【0039】

【発明の効果】この発明に係る半導体装置の製造方法によって形成される層間絶縁二酸化シリコン（SiO₂）膜は、二酸化シリコン（SiO₂）のネットワーク中にフッ素（F）が取り込まれる際にシリコン（Si）1原子あたりフッ素（F）が1原子のみならず2原子あるいは3原子結合したシリコン（Si）原子を形成しているので、シリコン（Si）1原子あたりフッ素（F）が1原子結合した状態の分子構造のみを含む場合に比較してフッ素（F）による比誘電率の低減効果がより大きくなる。このため、従来のフッ素（F）が添加された二酸化シリコン（SiO₂）膜より低い比誘電率を有することができ、このため、配線間容量が低下でき、信号遅延を制御して素子の高速動作が達成できる。

【0040】また、本発明を用いることにより二酸化シリコン（SiO₂）を主成分とする絶縁膜の比誘電率の低減に有効なようにフッ素（F）の結合状態を制御でき、したがって、二酸化シリコン（SiO₂）の比誘電率を従来のフッ素（F）を添加した二酸化シリコン（SiO₂）よりも更に低減し、配線間容量を低減することにより信号遅延を抑制して、半導体装置の高速動作性能の向上が実現される。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の基本概念を説明する模式図。

【図2】本発明の第1の実施の形態に係る半導体装置におけるシリコン（Si）1原子に結合したフッ素（F）原子数の変化に伴う状態密度の変化を示す説明図。

【図3】本発明の第1の実施の形態におけるフッ素

12

（F）が添加された二酸化シリコン（SiO₂）膜の電子分極率αのフッ素（F）濃度依存性を示す説明図。

【図4】本発明の第1の実施の形態におけるF添加SiO₂膜の屈折率nの2乗のF濃度依存性を示す説明図。

【図5】本発明の第2の実施の形態に係る半導体装置の製造方法の各工程を示すフローチャート。

【図6】本発明の第3の実施の形態による半導体装置の製造方法における多層配線間の絶縁膜の形成方法を示す説明図。

【図7】本発明の第3の実施の形態におけるシリコン（Si）1原子あたりに結合したフッ素（F）原子数の変化に伴う赤外吸収スペクトルの変化を示す説明図。

【図8】本発明の第4の実施の形態による半導体装置の製造方法における多層配線間の絶縁膜の形成方法を示す説明図。

【図9】本発明の第4の実施の形態を説明するために比誘電率とフッ素（F）濃度との関係を示す特性図。

【図10】第4の実施の形態を説明するためにフッ素（F）濃度と吸湿量との関係を示す特性図。

【符号の説明】

41 素子を形成した半導体基板

42, 44 電極

43 成膜チャンバー

45, 47, 49 F添加されたSiO₂膜

46, 48 Al配線

410 ガス導入系

411 排気系

412 高周波電源

61 素子を形成した半導体基板

62 BPSG膜

63, 69 Al配線

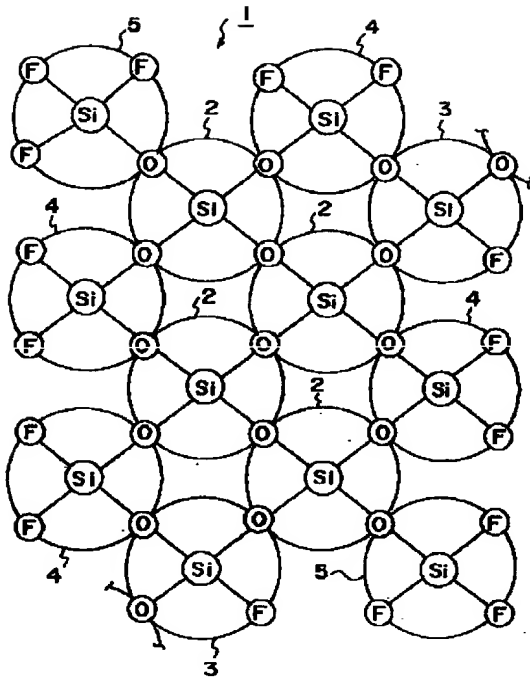
64, 66, 610, 612 F添加されていないSiO₂膜

65, 611 F添加されたSiO₂膜

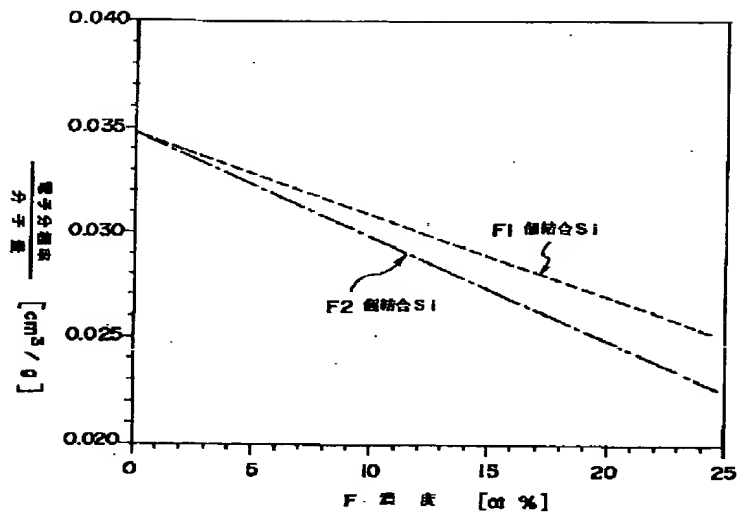
67 ヴィア（スルー）ホール

68 タングステン

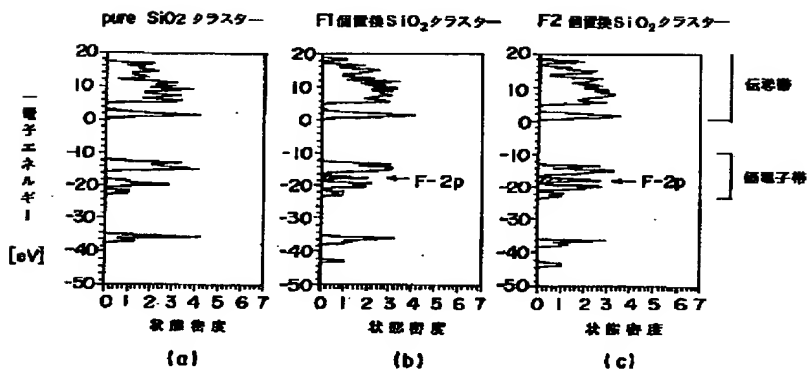
【図1】



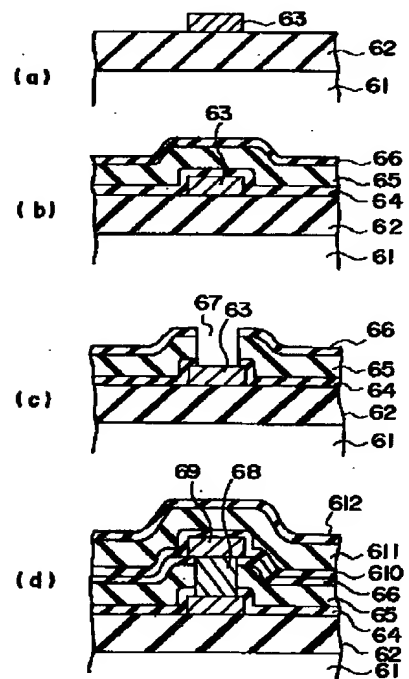
【図3】



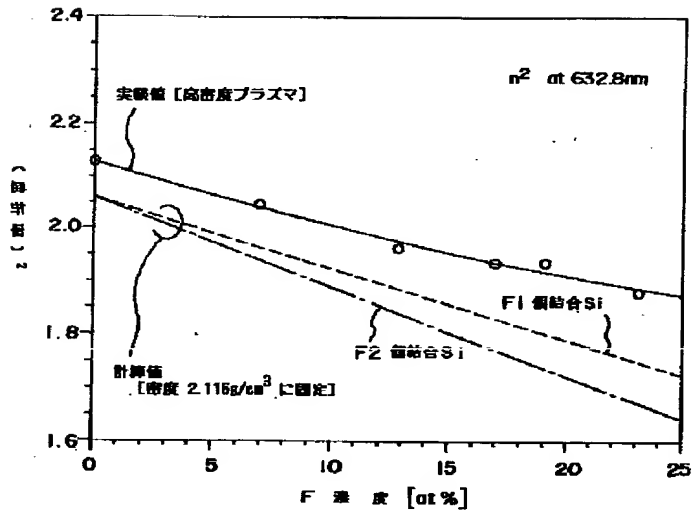
【図2】



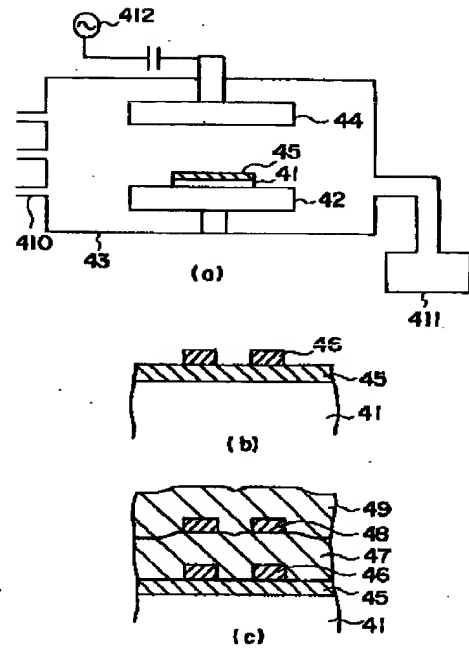
【図8】



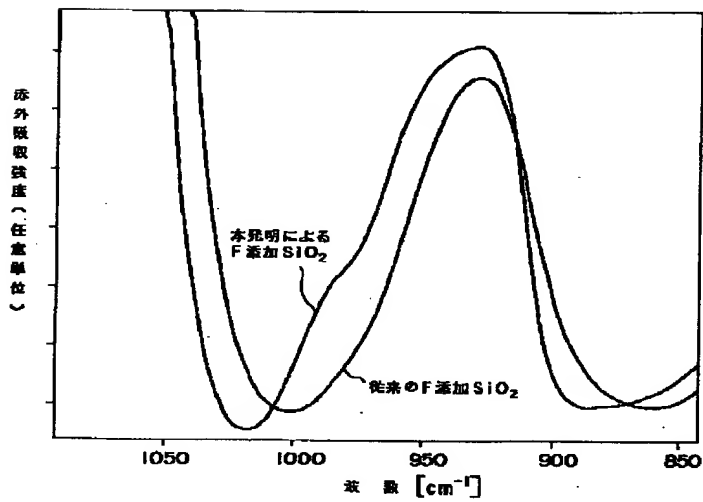
【図4】



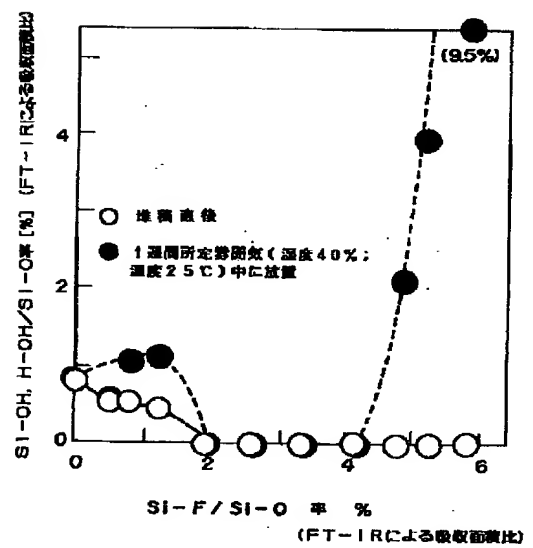
【図6】



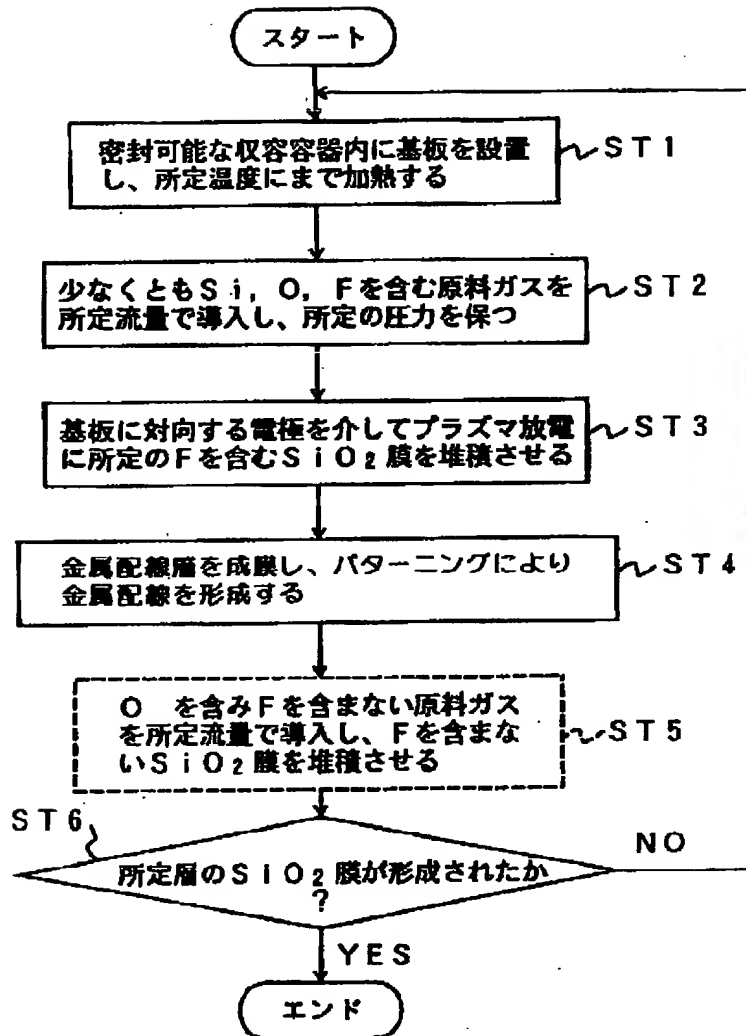
【図7】



【図10】



【図5】



【図9】

